

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-045903

(43)Date of publication of application : 14.02.1997

(51)Int.Cl.

H01L 29/78
H01L 21/28
H01L 21/3205
H01L 29/786

(21)Application number : 07-192725

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 28.07.1995

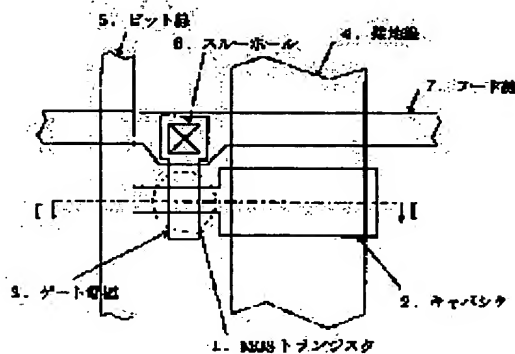
(72)Inventor : TSUTSU HIROSHI

(54) SEMICONDUCTOR ELEMENT, ITS WIRE FORMING METHOD, AND GATE ELECTRODE FORMING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To improve yield, reduce cost, and improve performance and reliability by forming the wire of a semiconductor element or a gate electrode layer with silicon and germanium alloy and oxidizing a part or all of the surface.

SOLUTION: After successively forming a field oxide film 2, a channel stopper 3, and a gate oxide film 4 on a silicon substrate 1, polycrystal silicon/germanium is selectively formed as a gate electrode 5 and a grounding wire 6. After it is doped with impurity ions and a source/drain region 8 is formed, the gate electrode 5 and the grounding wire 6 are thermally oxidized at 700° C or lower temperature for insulation separation. Finally, after a through hole is formed, a source/drain electrode 9 is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-45903

(43) 公開日 平成9年(1997)2月14日

(51) Int. Cl. ⁶	識別記号	F I
H01L 29/78		H01L 29/78 301 G
21/28	301	21/28 301 A
21/3205		21/88 M
29/786		29/78 617 M

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平7-192725

(22) 出願日 平成7年(1995)7月28日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 筒 博司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

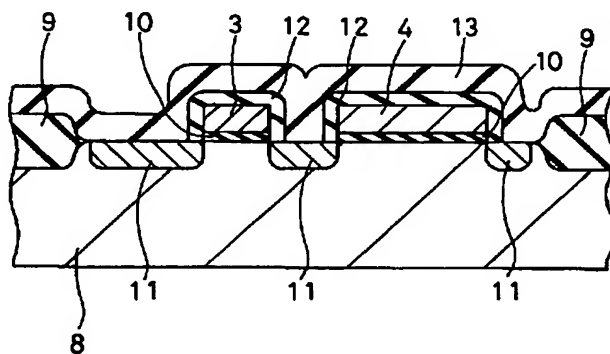
(74) 代理人 弁理士 池内 寛幸 (外 1 名)

(54) 【発明の名称】 半導体素子及びその配線の形成方法とゲート電極の形成方法

(57) 【要約】

【課題】 半導体素子の配線またはゲート電極層をシリコン・ゲルマニウム合金とし、表面の一部もしくは全面を酸化することにより、歩留まり良く、低コストで、性能に優れ信頼性の高い薄膜トランジスタおよびその製造方法を提供する。

【解決手段】 シリコン基板1にフィールド酸化膜2、チャネルストッパ3、ゲート酸化膜4を順次形成した後、ゲート電極5及び接地配線6として多結晶シリコン・ゲルマニウムを選択的に形成する。不純物イオンをドーピングしてソース・ドレイン領域8を形成後、ゲート電極5及び接地配線6を700℃以下で熱酸化して絶縁分離する。最後にスルーホール形成後、ソース・ドレイン電極9を形成する。



【特許請求の範囲】

【請求項 1】 基板上に半導体と絶縁体と配線を少なくとも有する半導体素子において、前記配線の少なくとも一部は、表面の一部もしくは全面を酸化した不純物を含む多結晶もしくは単結晶シリコン・ゲルマニウム合金であることを特徴とする半導体素子。

【請求項 2】 基板上でソース・ドレイン領域とチャネル領域を含む半導体層とゲート電極が絶縁層を介して一部重なり合う半導体素子において、前記ゲート電極は表面の一部もしくは全面が酸化された不純物を含む多結晶もしくは単結晶シリコン・ゲルマニウム合金であることを特徴とする半導体素子。

【請求項 3】 基板上に半導体と絶縁体と配線を少なくとも有する半導体素子の素子内もしくは外部回路への配線の形成方法において、不純物を含む多結晶もしくは単結晶シリコン・ゲルマニウム合金を選択的に被着形成する工程と、前記不純物を含む多結晶もしくは単結晶シリコン・ゲルマニウム合金の表面の一部もしくは全面を酸化する工程を含むことを特徴とする半導体素子の配線の形成方法。

【請求項 4】 基板上でソース・ドレイン領域とチャネル領域を含む半導体層とゲート電極が絶縁層を介して一部重なり合う半導体素子のゲート電極の形成方法において、前記ゲート電極は不純物を含む多結晶もしくは単結晶シリコン・ゲルマニウム合金を形成する工程と前記不純物を含む多結晶もしくは単結晶シリコン・ゲルマニウム合金の表面の一部もしくは全面を酸化する工程を含むことを特徴とする半導体素子のゲート電極の形成方法。

【請求項 5】 酸化する工程が、熱酸化である請求項 3 または 4 に記載の半導体素子の配線の形成方法。

【請求項 6】 酸化不純物が、P、B、As、Al から選ばれる少なくとも一つである請求項 1 ~ 4 のいずれかに記載の半導体素子及びその配線の形成方法とゲート電極の形成方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明は、MOSFET (metal oxide semiconductor field-effect transistor) 等に使用できる半導体素子及びその配線の形成方法とゲート電極の形成方法に関する。

【0002】

【従来の技術】 以下半導体素子の一例として MOSFET を例に挙げて説明を行う。近年 MOSFET を集積化した DRAM (Dynamic Random Access Memory) 等の LSI (large scale intergration) は、その構成要素のひとつである MOSFET の微細化させることにより集積度を上げてきている。現在、量産が行われている最先端の DRAM は 64 Mビットで、最少線幅は 0.5 μm 程度にまでなっている。将来はますます微細化し、次世代では、0.35 μm 、0.25 μm へとその最小線

幅はますます微細化する。図 7 (a) ~ (d) はこのような LSI に用いられる p チャネル型 MOSFET の主要工程毎の断面図を示している。まず、n⁻ 型単結晶シリコン基板 28 上に LOCOS (Local Oxidation of Silicon) 法によりフィールド酸化膜 29 と n⁺ チャネルストッパ 30 を形成する。ここでは MOSFET が形成される場所の酸化を防ぐための窒化シリコン (SiN_x) は図示していない。そして次に、ゲート酸化膜 31 としてドライ酸化により SiO₂ を約 15 nm 形成し、次にゲート電極 32 となる poly-Si を LP-CVD (low pressure chemical vapor deposition) 法で堆積後、フォトリソグラフィとエッチングでゲート電極を加工する。そして、このゲート電極 32 の表面を酸化した後全面をエッチバックして LDD (Lightly Doped Drain) を形成するためのスペーサ 33 を形成する (図 7 (a))。そして、ボロン (B) イオン 34 を注入する。このとき、ソース・ドレイン領域 (p⁺ 領域) 35 と p⁻ 領域 (LDD 領域) 36 が形成されるだけでなく、poly-Si にもボロン (B) が自動的に注入される (図 7 (b))。そして、次に注入されたボロン (B) を活性化させるため約 800℃ でアニールする。そして、層間絶縁膜 39 を堆積する (図 7 (c))。そしてスルーホール 40 を形成し、最後に例えば窒化チタン (TiN) と銅を 1 atomic% 程度添加したアルミニウム (Al-1% Cu) を用いてメタライゼーションを行ってソース・ドレイン電極 38 を形成して MOSFET が完成される。

【0003】

【発明が解決しようとする課題】 しかしながら、前記のような構成では、微細化が進むにつれてソース・ドレイン領域に注入した不純物が注入後の様々な熱を加える工程 (熱処理や薄膜の堆積工程など) により横方向に拡散し、デバイス特性を劣化させることが大きな課題となる。また、不純物イオン注入後には 1000℃ 程度以上の高温での熱酸化膜という高品位の絶縁膜を用いることが、横方向の拡散を抑制するために不可能であるので、層間絶縁層は LP-CVD 法等で SiO₂ を堆積している。ところが、LP-CVD 法等の SiO₂ には、少なからずピンホールが存在するので歩留まりが低下するという重大な課題を有している。また、熱酸化膜を形成する酸化炉に比して LP-CVD 装置等の薄膜堆積装置は装置価格が高い上に危険なシラン等の特殊材料ガスを使用するので安全対策がかさみ初期投資コストが高くつく上、ランニングコストも高いという課題も有している。

【0004】 本発明は、前記従来の問題を解決するため、歩留まり良く低コストで配線を形成する方法を提供し、また、注入された不純物の拡散を防ぎながら歩留まり良く、低コストの半導体素子の配線を形成する方法と半導体素子のゲート電極を形成する方法と歩留まり良く、高性能の半導体素子を提供することを目的とする。

【 0 0 0 5 】

【課題を解決するための手段】前記目的を達成するため、本発明の第 1 番目の半導体素子は、基板上に半導体と絶縁体と配線を少なくとも有する半導体素子において、前記配線の少なくとも一部は、表面の一部もしくは全面を酸化した不純物を含む多結晶もしくは単結晶シリコン・ゲルマニウム合金であることを特徴とする。

【 0 0 0 6 】次に本発明の第 2 番目の半導体素子は、基板上でソース・ドレイン領域とチャネル領域を含む半導体層とゲート電極が絶縁層を介して一部重なり合う半導体素子において、前記ゲート電極は表面の一部もしくは全面が酸化された不純物を含む多結晶もしくは単結晶シリコン・ゲルマニウム合金であることを特徴とする。

【 0 0 0 7 】次に本発明の半導体素子の配線の形成方法は、基板上に半導体と絶縁体と配線を少なくとも有する半導体素子の素子内もしくは外部回路への配線の形成方法において、不純物を含む多結晶もしくは単結晶シリコン・ゲルマニウム合金を選択的に被着形成する工程と、前記不純物を含む多結晶もしくは単結晶シリコン・ゲルマニウム合金の表面の一部もしくは全面を酸化する工程を含むことを特徴とする。

【 0 0 0 8 】次に本発明の半導体素子のゲート電極の形成方法は、基板上でソース・ドレイン領域とチャネル領域を含む半導体層とゲート電極が絶縁層を介して一部重なり合う半導体素子のゲート電極の形成方法において、前記ゲート電極は不純物を含む多結晶もしくは単結晶シリコン・ゲルマニウム合金を形成する工程と前記不純物を含む多結晶もしくは単結晶シリコン・ゲルマニウム合金の表面の一部もしくは全面を酸化する工程を含むことを特徴とする。

【 0 0 0 9 】前記構成においては、酸化する工程が、熱酸化であることが好ましい。また、前記構成においては、酸化不純物が、P、B、As、Al から選ばれる少なくとも一つであることが好ましい。

【 0 0 1 0 】

【発明の実施の形態】本発明は、配線もしくはゲート電極を不純物を含むシリコン・ゲルマニウム合金とし、このシリコン・ゲルマニウム合金表面の一部もしくは全面を酸化することにより、他の配線や電極との短絡を防止できて、歩留まりの高い半導体素子を得ることが出来る。また、シリコン・ゲルマニウム合金は低温で酸化できるので半導体の不純物の横方向の拡散を抑制できて、性能の高い半導体素子を得ることが出来る。更に、層間絶縁層として高品質の熱酸化膜を使用できるので、層間絶縁層を堆積する方法よりも低コストで半導体素子が実現できる。

【 0 0 1 1 】

【実施例】以下、本発明の実施例を図面をもとに説明する。

(実施例 1) 図 1 及び図 2 を参照しながら、本発明によ

る第 1 の実施例として半導体素子を説明する。図 1 は本発明の一実施例の DRAM の 1 セルのレイアウト平面模式図であり、図 2 は図 1 の I - I 断面の概略断面図である。

【 0 0 1 2 】まず、 p^- 型シリコン基板 8 に LOCOS 法によりフィールド酸化膜 9 と図示はしないが p^+ チャネルストッパを形成して、NMOS トランジスタ形成領域を確保する。次に熱酸化によりゲート酸化膜 10 を 10 ~ 30 nm の膜厚で形成する。ゲート電極 3 及びデータを記憶するキャパシタの接地用配線 4 として多結晶シリコン・ゲルマニウムをシラン (SiH_4) とゲルマン (GeH_4) を原料ガスとして 300 nm の膜厚で形成する。シランの流量は、典型的には 20 ~ 50 sccm、ゲルマンの流量は、典型的には 20 ~ 50 sccm である。ガス流量はチャンバのサイズ等により変化することは言うまでもない。温度は、600 ~ 650 °C の範囲にすることが好ましい。次にゲート電極をマスクとしてゲート酸化膜をエッチング除去する。そして、ゲート電極をマスクとして、例えばリン (P) を注入する。この時、 n^+ 領域 (ソースドレイン領域) 11 及びビット線 5 が形成されると同時にゲート電極 3 及び接地線 4 にも P がドーピングされ、不純物を多く含む多結晶シリコン・ゲルマニウムからなるゲート電極 3 及び接地配線 4 となる。次に基板を 600 °C の炉内に挿入する。95 °C に保持した純水を窒素または酸素ガスでバブリングし、それによって得られる水蒸気を用いて、炉内で多結晶シリコン・ゲルマニウムの表面を 2 時間熱酸化してシリコン・ゲルマニウム酸化膜 12 を形成する。この酸化温度ではシリコンはほとんど酸化されず、ゲート電極と接地配線となる多結晶シリコン・ゲルマニウムだけが選択的に酸化されて、層間絶縁層を形成すること無く、ゲート電極と接地配線がアイソレートされる。また、600 °C で酸化するので、ドーピングされたボロンの横方向の拡散も抑制されて寄生容量等も小さくなり、素子の特性が向上する。最後に、スルーホール 6 を形成後、アルミニウムによりメタライゼーションが行われ、ワード線 7 が形成される。最後に全面にパッシベーション層 13 として例えば窒化シリコンが形成され、図示はしないが、ワード線、ビット線 5、接地線には外部への取り出し用のウィンドーが形成されて DRAM が完成される。

【 0 0 1 3 】なお、上記実施例では、多結晶シリコン・ゲルマニウムを酸化後すぐにスルーホールを開口し電極形成のためのメタライゼーションを行ったが、多結晶シリコン・ゲルマニウムを酸化後、更に CVD 等により SiO_2 や Si_3N_4 等の絶縁層を堆積してからスルーホールを開口すれば、より歩留まりは向上する。

【 0 0 1 4 】また、上記実施例では P のドーピング後に多結晶シリコン・ゲルマニウムを熱酸化したが、まず多結晶シリコン・ゲルマニウムを酸化した後、P をドーピングすれば、LDD (Lightly Doped Drain) 構造を形成す

ることも可能である。

【0015】また、本実施例ではスチーム酸化を用いているがパイロジェニック酸化やドライ酸化でも良いのはもちろんのことである。また、本実施例では、ゲート電極3及び接地配線4として、多結晶シリコン・ゲルマニウムを直接堆積したが、非晶質シリコン・ゲルマニウムを堆積後レーザーアニールや固相成長により多結晶シリコン・ゲルマニウムを得ても良いし、単結晶シリコン・ゲルマニウムでもよい。

【0016】また、本実施例では多結晶シリコン・ゲルマニウムとしてGe濃度50atomic%の多結晶シリコン・ゲルマニウム合金を用いたが、この濃度に限定するものではないことは本発明の主旨から明かである。しかしながら、一般に酸化温度600℃ではゲルマニウム濃度が高い方が酸化速度は上がり酸化時間が短時間で済む。

【0017】上記実施例では、DRAMの接地線を一例として半導体素子の配線の形成方法について示したが、DRAMの接地線だけでなく他の半導体素子にも応用が可能である。

【0018】(実施例2)図3は本発明の第2の実施例として配線の形成方法を説明するための工程断面図であり、以下製造方法を順を追って説明する。

【0019】表面に熱酸化膜15を形成したSi基板14上にまず不純物としてボロン(B)をドーブした多結晶Si_{0.5}Ge_{0.5}(以下、poly-Si_{0.5}Ge_{0.5}と略記する)16をLP-CVD法で堆積する。原料ガスとしてここではシラン(SiH₄)、ゲルマン(GeH₄)及びジボラン(B₂H₆)の混合ガスを用いて、基板温度600~700℃で堆積した。膜厚は500nmである

(図3(a))。次に、フォトリソグラフィとエッチングによりこのpoly-Si_{0.5}Ge_{0.5}を所定の配線の形状に微細加工する(図3(b))。そして、最後にこのpoly-Si_{0.5}Ge_{0.5}表面を熱酸化してシリコン・ゲルマニウム酸化膜17を形成する(図3(c))。このときの酸化条件は基板温度700℃で、窒素もしくは酸素ガスをキャリアガスとして用いて95℃に加熱した超純水をバブリングして得た水蒸気で熱酸化した。700℃では、poly-Si_{0.5}Ge_{0.5}は均一に酸化されて、酸化膜/poly-Si_{0.5}Ge_{0.5}界面にGeの析出もない。もし、別配線との電気的コンタクトが必要な場合には、必要とされる位置にフォトリソグラフィとエッチングにてスルーホールを形成すればよい。エッチングには、ウェットエッチングであれば例えばバッファード弗酸(BHF)、ドライエッチングであれば例えばCF₄やSF₆を含むガスを用いればよい。

【0020】なお、上記実施例ではボロン(B)をドーブしたpoly-Si_{0.5}Ge_{0.5}を用いたが組成はこれに限定するものではない。また、ドーパントとしてはBを用いたが、ボロン(B)以外のリン(P)、砒素(A

もない。

【0021】poly-Si_{0.5}Ge_{0.5}の堆積方法としてはLP-CVDを上記実施例では用いたが、例えば、常圧CVD、プラズマCVD、ECR-CVD等でも良い。また、上記実施例では多結晶としたが、単結晶SiGe合金でも良い。

【0022】また、本実施例ではスチーム酸化を用いているがパイロジェニック酸化やドライ酸化でも良いのはもちろんのことである。また、本実施例では、半導体層2として、多結晶シリコン・ゲルマニウムを直接堆積したが、非晶質シリコン・ゲルマニウムを堆積後レーザーアニールや固相成長により多結晶シリコン・ゲルマニウムを得ても良いし、単結晶シリコン・ゲルマニウムでもよい。

【0023】また、本実施例では多結晶シリコン・ゲルマニウムとしてGe濃度50atomic%の多結晶シリコン・ゲルマニウム合金を用いたが、この濃度に限定するものではないことは本発明の主旨から明かである。しかしながら、一般に酸化温度600℃ではゲルマニウム濃度が高い方が酸化速度は上がり酸化時間が短時間で済む。

【0024】(実施例3)図4を参照しながら、本発明による第3の実施例として半導体素子を説明する。図4は本発明による液晶表示素子用の薄膜トランジスタレイの1セルの平面図であり、図5は図4のII-IIとIII-III断面による1トランジスタの概略断面図とゲート配線とソース配線交差部断面図である。

【0025】図4~5には明示しなかったがガラス基板中の不純物の拡散を防ぐためのバッファ層としてSiO₂膜を被着したガラス基板18(コーニング社製#1737ガラス)上に、例えばジシラン(Si₂H₆)とゲルマン(GeH₄)とジボラン(B₂H₆)を原料ガスとして用いたCVD法により膜厚300nmで、ボロン

(B)をドーブしたゲルマニウム濃度が50atomic%の多結晶シリコン・ゲルマニウム(以下poly-Si_{0.5}Ge_{0.5}と略記する)を形成する。次にフォトリソグラフィとエッチングにより、前記のpoly-Si_{0.5}Ge_{0.5}をゲートバス配線19とゲート電極20の形状に微細加工する。次に、基板を600℃の炉内で、95℃に保持した純水を窒素または酸素ガスでバブリングを行って得られる水蒸気を用いてpoly-Si_{0.5}Ge_{0.5}を1時間熱酸化することにより、約100nmの絶縁層21(Si_{0.5}Ge_{0.5}O₂)を形成する。この絶縁層はゲート絶縁層21及びゲートバス配線19とソースバス配線26間の層間絶縁層22として用いられる。熱酸化膜厚はシリコン・ゲルマニウム中のゲルマニウム濃度、基板温度、水蒸気源である純水温度とバブリング・ガス流量、酸化時間等の条件に依存するのはもちろんであるが、シリコン・ゲルマニウム合金を熱酸化する場合は、概ね700℃以上で酸化するとゲルマニウムよりもシリコンが選択的に酸化され半導体/絶縁層界面にゲルマニウムが析出

したり、酸化膜中にシリコンが多い部分とゲルマニウムが多い部分が層状に形成されたりする場合があるので、酸化温度は慎重に決定する必要がある。すなわち酸化温度は700℃以下とし、より望ましくは600℃以下に設定する。

【0026】次に、プラズマCVD法によりアモルファスシリコン(a-Si)層を堆積して所定の島状に加工したa-Si層23を得た後、チャンネル部をレジストを用いてマスクとしてソース・ドレイン領域を形成するためドナーまたはアクセプタとなる不純物元素の注入を質量分離を行わないイオンドーピング法(あるいは、パケットタイプイオンドーピング法;例えば「Extended Abstracts of the 22nd (1990) International Conference on Solid State Devices and Materials, p. 971またはp. 1197」に記載されている方法である)で行ってソース・ドレイン領域を形成する。マスクとして用いたレジストを除去した後、図示はしないが、スルーホールを形成してゲートバス配線の取り出し部を形成する。そして最後に、画素電極27としてITOを選択的に形成した後、例えばMo/Al/Moの3層金属を用いてソース・ドレイン電極25とソースバス配線26を形成すると薄膜トランジスタアレイが完成される。

【0027】以上のようにこの実施例によれば、poly-Si、Geを用いたゲートバス配線及びゲート電極表面を熱酸化してその熱酸化膜をゲート絶縁層及び配線間の層間絶縁層として用いることにより高品位で歩留まりの高い薄膜トランジスタアレイが得られる。

【0028】上記実施例ではゲート絶縁層21と層間絶縁層22をpoly-Si、Ge、酸化膜のみを用いたがa-Si/poly-Si、Ge、酸化膜界面をより清浄に保持し、更に歩留まりを上げるために、例えば窒化シリコンをまず堆積し、その後連続的にa-Siを堆積すると更に効果的である。

【0029】また、ソース・ドレイン領域を形成するためにイオンドーピング法を用いたが、他のプラズマドーピング法やPをドーピングしたn'-a-Siを選択的に被着形成することによりソースドレイン領域を形成することも可能である。また、poly-Si、Ge、配線の抵抗値が問題となる場合には、ゲートバス配線を他の金属、例えば、Cr、Ta、Mo、Ti、Al等で形成し、ゲート電極のみをpoly-Si、Ge、で形成しても良い。ソース・ドレイン電極もMo/Al/Moに限定されるものではなく、Cr、Ta、Mo、Tiや金属シリサイド等でも良いことは言うまでもない。

【0030】また、金属とa-Siとのオーミック・コンタクトを取るためにイオンドーピング法を用いたが、リン等の不純物をドーピングしたn'-a-Siを堆積してオーミックコンタクトを形成しても良い。

【0031】また、本実施例ではスチーム酸化を用いているがパイロジェニック酸化やドライ酸化でも良いのは

もちろんのことである。また、本実施例では、多結晶シリコン・ゲルマニウムを直接堆積してゲート電極20及びゲートバス配線21を形成したが、非晶質シリコン・ゲルマニウムを堆積後レーザーアニールや固相成長により多結晶シリコン・ゲルマニウムを得ても良いし、単結晶シリコン・ゲルマニウムでもよい。

【0032】また、本実施例では多結晶シリコン・ゲルマニウムとしてGe濃度50atomic%の多結晶シリコン・ゲルマニウム合金を用いたが、この濃度に限定するものではないことは本発明の目的から明かである。しかしながら、一般に酸化温度600℃ではゲルマニウム濃度が高い方が酸化速度は上がり、酸化時間が短時間で済む。

【0033】また、上記実施例ではa-Siを半導体層として用いた薄膜トランジスタを例に挙げて説明したが、本発明はa-Si薄膜トランジスタアレイに限定されるものではない。例えば、多結晶シリコン薄膜トランジスタ、SOI(Silicon on Insulator)構造の半導体素子等にも応用できることはもちろんである。また、素子構造として上記実施例では素子構造として逆スタガ型を例に挙げて説明したが、他のコプレナ型やスタガ型にも応用できることも言うまでもない。

【0034】(実施例4)図6を参照しながら、本発明による第4の実施例として半導体素子を説明する。図6は本発明によるpMOSトランジスタの概略断面図である。

【0035】まず、n'-型シリコン基板28にLOCOS法によりフィールド酸化膜29とn'チャンネルストップバ30を形成して、MOSトランジスタ形成領域を確保する。次に熱酸化によりゲート酸化膜31を10~30nmの膜厚で形成する。ゲート電極32として多結晶シリコン・ゲルマニウムをシラン(SiH₄)とゲルマン(GeH₄)を原料ガスとして300nmの膜厚で形成する。シランの流量は、典型的には20~50sccm、ゲルマンの流量は、典型的には20~50sccmである。ガス流量はチャンバのサイズ等により変化することは言うまでもない。600~650℃の範囲にすることが好ましい。次にゲート電極32をマスクとしてゲート酸化膜31をエッチング除去する。そして、全面にCVD法でSiO₂を被着した後、全面をエッチバックしてスペーサ33を形成する(図6(a))。次に、ゲート電極32とスペーサ33をマスクとして、例えばボロン(B)34を注入する(図6(b))。この時、p'領域(ソースドレイン領域)35だけでなくスペーサの下部のシリコンへのドーズ量が少なくなりp'領域36が形成されて、ドレイン端の電界を緩和するLDD構造が形成される。次に基板を600℃の炉内に挿入する。95℃に保持した純水を窒素または酸素ガスでバブリングし、それによって得られる水蒸気を用いて、炉内で多結晶シリコン・ゲルマニウムの表面を2時間熱酸化し

てシリコン・ゲルマニウム酸化膜 3 7 を形成する (図 6 (c)) 。

【 0 0 3 6 】 この酸化温度ではシリコンはほとんど酸化されず、ゲート電極となる多結晶シリコン・ゲルマニウムだけが選択的に酸化されて、層間絶縁層を形成すること無く、ゲート電極がアイソレートされる。また、6 0 0 ° C で酸化するので、ドーパされたボロンの横方向の拡散も抑制されて寄生容量等も小さくなり、素子の特性が向上する。最後に、アルミニウムによりメタライゼーションが行われ、ソース・ドレイン電極 3 8 が形成されて p M O S トランジスタが完成される (図 6 (d)) 。

【 0 0 3 7 】 尚、上記実施例では、多結晶シリコン・ゲルマニウムを酸化後すぐにスルーホールを開口しソース・ドレイン形成のためのメタライゼーションを行ったが、多結晶シリコン・ゲルマニウムを酸化後、更に C V D 等により SiO_2 や Si_3N_4 等の絶縁層を堆積してからスルーホールを開口すれば、より歩留りは向上する。

【 0 0 3 8 】 また、本実施例ではスチーム酸化を用いているがパイロジェニック酸化やドライ酸化でも良いのはもちろんのことである。また、本実施例では、ゲート電極 3 2 として、多結晶シリコン・ゲルマニウムを直接堆積したが、非晶質シリコン・ゲルマニウムを堆積後レーザアニールや固相成長により多結晶シリコン・ゲルマニウムを得ても良いし、単結晶シリコン・ゲルマニウムでもよい。

【 0 0 3 9 】 また、本実施例では多結晶シリコン・ゲルマニウムとして G e 濃度 5 0 % の多結晶シリコン・ゲルマニウム合金を用いたが、この濃度に限定するものではないことは本発明の主旨から明かである。しかしながら、一般に酸化温度 6 0 0 ° C でまた、上記実施例では B のドーピング後に多結晶シリコン・ゲルマニウムを熱酸化したがスペーサ 3 3 を形成せずに、まず多結晶シリコン・ゲルマニウムを酸化した後、P をドーパすれば、側壁部がスペーサの代わりとなって自動的に L D D (Lightly Doped Drain) 構造を形成することも可能である。はゲルマニウム濃度が高い方が酸化速度は上がり酸化時間が短時間で済む。

【 0 0 4 0 】 上記実施例では、p チャネルの M O S トランジスタの形成方法について示したが、n チャネルの M O S トランジスタや C M O S 構成でも同様に作成される。また、M O S トランジスタだけでなく他の半導体素子にも応用が可能である。

【 0 0 4 1 】

【発明の効果】 以上のように本発明は、半導体素子の配線またはゲート電極層をシリコン・ゲルマニウム合金とし、表面の一部もしくは全面を酸化することにより、歩留まり高くしかも安価に製造できる。また、シリコン・ゲルマニウムは低温で酸化できるので、不純物の横方向の拡散を抑制できて、性能と信頼性に優れた半導体素子を低コストで実現でき、その実用上の効果は大きい。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施例の半導体素子を説明するための平面レイアウト図である。

【図 2】 図 1 の I - I 断面図である。

【図 3】 (a) ~ (c) は本発明の第 2 の実施例の半導体素子の配線の形成方法を説明するための主要工程毎の工程断面図である。

【図 4】 本発明の第 3 の実施例の半導体素子を説明するための概略断面図である。

【図 5】 (a) は図 4 の II - II であり、(b) は図 4 の III - III 断面図である。

【図 6】 (a) ~ (c) は本発明の第 4 の実施例の半導体素子のゲート電極の形成方法を説明するための主要工程毎の工程断面図である。

【図 7】 (a) ~ (d) は従来の半導体素子を説明するための、主要工程毎の概略断面図である。

【符号の説明】

- 1 M O S トランジスタ
- 2 キャパシタ
- 3 ゲート電極
- 4 接地配線
- 5 ビット線
- 6 スルーホール
- 7 ワード線
- 8 p - シリコン基板
- 9 フィールド酸化膜
- 1 0 ゲート酸化膜
- 1 1 ソース・ドレイン領域
- 1 2 シリコン・ゲルマニウム酸化膜
- 1 3 パッシベーション膜
- 1 4 シリコン基板
- 1 5 熱酸化膜
- 1 6 $\text{poly-Si}_{0.5}\text{Ge}_{0.5}$
- 1 7 シリコン・ゲルマニウム酸化膜
- 1 8 ガラス基板
- 1 9 ゲートバス配線
- 2 0 ゲート電極
- 2 1 ゲート絶縁層
- 2 2 層間絶縁層
- 2 3 a - S i
- 2 4 ソース・ドレイン領域
- 2 5 ソース・ドレイン電極
- 2 6 ソースバス配線
- 2 7 画素電極
- 2 8 n - 型シリコン基板
- 2 9 フィールド酸化膜
- 3 0 n' チャネル・ストッパ
- 3 1 ゲート酸化膜
- 3 2 ゲート電極
- 3 3 スペーサ

11

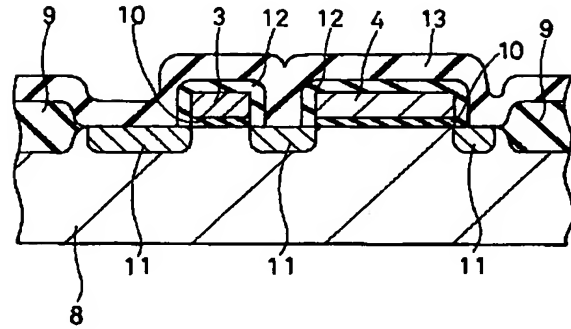
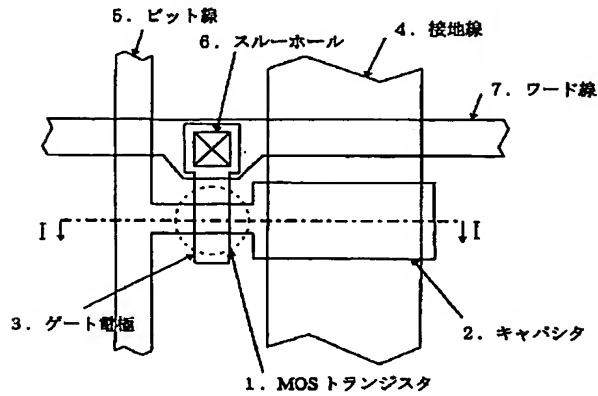
12

- 34 ボロンイオン (B⁺)
 35 ソース・ドレイン領域 (p⁺ 領域)
 36 p⁻ 領域
 37 シリコン・ゲルマニウム酸化膜

- 38 ソース・ドレイン電極
 39 層間絶縁膜
 40 スルーホール

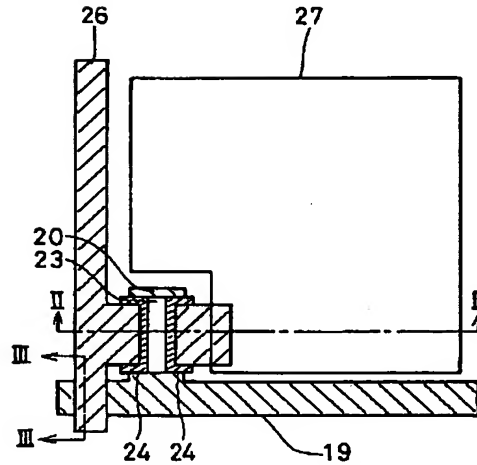
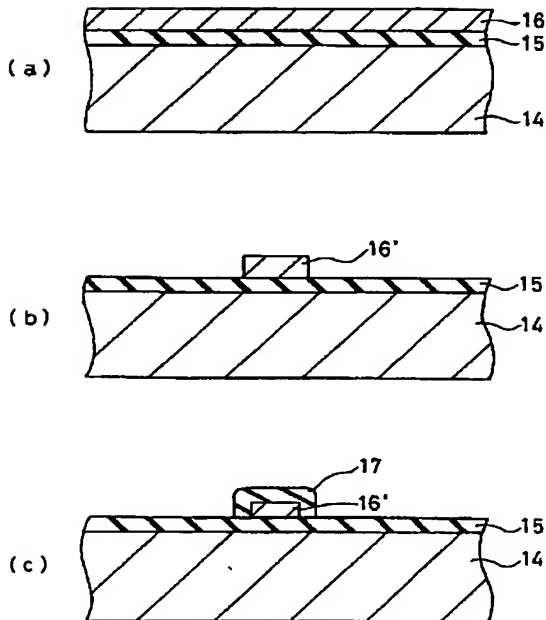
【図 1】

【図 2】

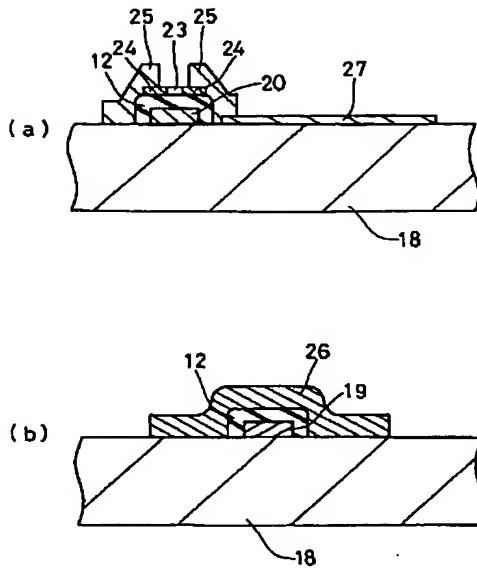


【図 3】

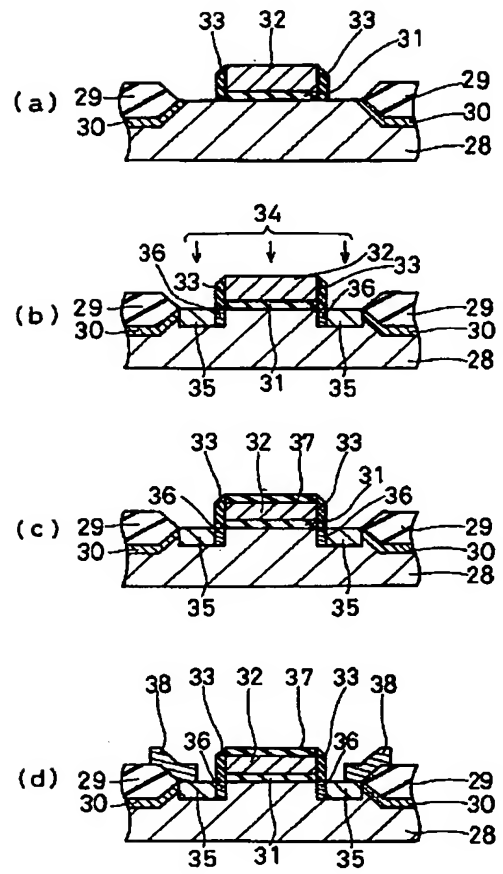
【図 4】



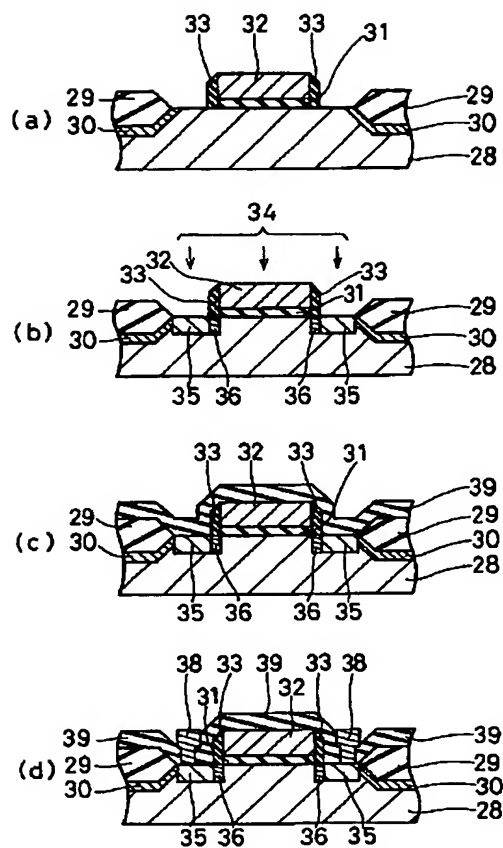
【図 5】



【図 6】



【図 7】



【手続補正書】

【提出日】平成 7 年 11 月 27 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】図 6

【補正方法】変更

【補正内容】

【図 6】 (a) ~ (d) は本発明の第 4 の実施例の半導体素子のゲート電極の形成方法を説明するための主要工程毎の工程断面図である。